Mercedes Martínez Cortinas DNI: 48326429W

**Ejercicio VLIW**

En un procesador VLIW cuyas instrucciones pueden codificar dos operaciones (dos campos o slots en cada instrucción VLIW), todas las operaciones pueden predicarse. Para establecer los valores de los predicados se utilizan instrucciones de comparación ( cmp ) con el formato (p) p1 [,p2] cmp cnd x,y donde cnd es la condición que se comprueba entre x e y (lt,ge,eq,ne,…). Si la condición es verdadera p1=1 [ y p2=2 ] , y si es falsa, p1 = 0 [ y p2 = 1] . La operación solo se ejecuta si el predicado p=1 (habrá sido establecido por otra instrucción de comparación).

Indicar como se escribiría la sentencia siguiente en lenguaje ensamblador, sin ninguna operación de salto, y con el mínimo número de instrucciones VLIW, teniendo en cuenta que las instrucciones de comparación solo salen en el primer campo o slot de la instrucción VLIW, mientras que el resto de instrucciones puede aparecer en cualquier campo. Todas las instrucciones tienen una latencia de un ciclo.

For i = 0 to 2 do

If (x[i] / 2 == 1 )

X[i] = 4 \* x[i];

Else

X[i] = 0;

Fin if

Fin for

**1 Iteración** :

P1 cmp eq r0,r0;

P2 cmp ne r0,r0;

P3 cmp ne r0,r0;

(p1) lw r0 , #0;

(p1) lw r1 , #2;

(p1) lw r2 , #1;

(p1) lw r3 , x ( r0 );

(p1) slli r4, r3 , #1;

(p1) p2,p3 cmp eq r4 , r2;

(p2) srli r5 , r3 , #2;

(p2) sw r5 , x ( r0 );

(p3) sw r0 , x ( r0 );

**2 Iteracion** :

P4 cmp eq r0 , r0;

P5 cmp ne r0 , r0;

P6 cmp ne r0 , r0;

(p4) lw r6 , x + 4 ( r0 );

(p4) slli r7 , r6 , #1;

(p4) p5,p6 cmp eq r7,r2;

(p5) srli r8 , r6 , #2;

(p5) sw r8, x+4(r0);

(p6) sw r0 , x+4(r0);

**3 Iteracion** :

P7 cmp eq r0 , r0;

P8 cmp ne r0 , r0;

P9 cmp ne r0 , r0;

( p7 ) lw r9 , x+8(r0);

( p7 ) slli r10 , r9 , #1;

( p7 ) p8,p9 cmp eq r10 , r2;

(p8) srli r11 , r9 , #2;

(p8) sw r11 , x+8(r0);

(p9) sw r0, x+8(r0);

**Organización en slots** :

|  |  |
| --- | --- |
| **SLOT 1** | **SLOT 2** |
| **P1 cmp eq r0,r0** | **-** |
| **P2 cmp ne r0,r0** | **(p1)lw ro,#0** |
| **P3 cmp ne r0,r0** | **(p1)lw r1,#2** |
| **P4 cmp eq r0,r0** | **(p1)lw r2,#1** |
| **P5 cmp ne r0,r0** | **(p1)lw r3,x(r0)** |
| **P6 cmp ne r0,r0** | **(p1)slli r4,r3,#1** |
| **(p1)p2,p3 cmp eq r4,r2** | **(p4) lw r6,x+4(r0)** |
| **P7 cmp eq r0,r0** | **(p2) srli r5,r3,#2** |
| **P8 cmp ne r0,r0** | **(p2) sw r5,x(r0)** |
| **P9 cmp ne r0,r0** | **(p3)sw r0,x(r0)** |
| **(p4)slli r7,r6,#1** | **(p7)lw r9,x+8(r0)** |
| **(p4)p5,p6 cmp eq r7,r2** | **(p7)lw r9,x+8(r0)** |
| **(p7)p8,p9 cmp eq r10,r2** | **(p5)slri r8,r6,#2** |
| **(p5)sw r8,x+4(r0)** | **(p6)sw r0,x+4(r0)** |
| **(p8)srli r11,r9,#2** | **(p8)sw r11,x+8(r0)** |
| **(p9)sw r0,x+8(r0)** | **-** |